

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-7154

(43)公開日 平成5年(1993)1月14日

(51)IntCl.³

H03M 1/10

識別記号

庁内整理番号

FI

技術表示箇所

A 9065-5J

審査請求 未請求 請求項の数7(全 8 頁)

(21)出願番号 特願平3-314025

(22)出願日 平成3年(1991)10月30日

(31)優先権主張番号 特願平2-297620

(32)優先日 平2(1990)11月2日

(33)優先権主張国 日本(JP)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 武藤 広 泰

東京都港区芝五丁目7番1号 日本電気株式会社内

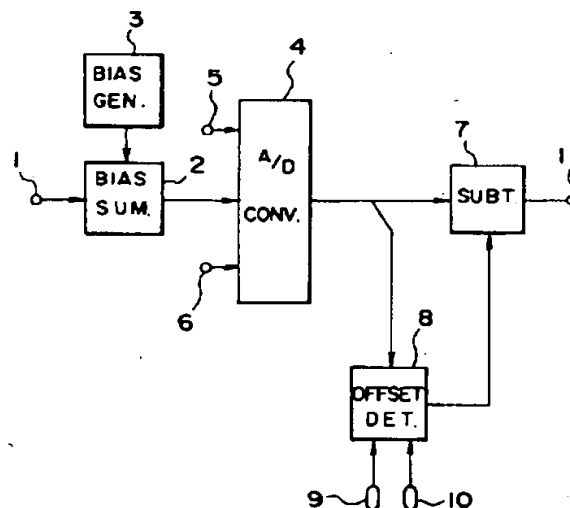
(74)代理人 弁理士 福山 正博

(54)【発明の名称】 A/D変換回路

(57)【要約】

【目的】 A/D変換器の出力のオフセットを除去する。

【構成】 低電位基準電圧から高電位基準電圧までの範囲の電圧のアナログ信号をデジタルデータに変換するA/D変換器の入力信号に付加するバイアス電圧の理想値に対するオフセット及びアナログ信号の平均電圧値の理想値に対するオフセットを検出し、A/D変換器の出力データからこのオフセットを減算して補正するようにし、またこのオフセットによりバイアス電圧を補正しA/D変換器の入力信号の平均電圧値が理想値となるようにしている。



1

【特許請求の範囲】

【請求項1】アナログ信号にバイアス電圧を付加するバイアス電圧付加手段と、低電位基準電圧と高電位基準電圧が与えられ、両基準電圧の間の電圧範囲内において前記バイアス電圧付加手段の出力アナログ信号をデジタル化するA/D変換手段と前記アナログ信号の理想平均電圧値と前記バイアス電圧の理想値とが与えられ、前記A/D変換手段の出力サンプル値の平均値から前記アナログ信号の理想平均電圧値と前記バイアス電圧の理想値とを減算してオフセット検出を行うオフセット検出手段と、前記A/D変換手段の出力データから前記オフセット検出回路の出力データを減算して出力する減算手段と、を備えて成ることを特徴とするA/D変換回路。

【請求項2】アナログ信号にバイアス電圧を付加するバイアス電圧付加手段と、前記バイアス電圧を発生するバイアス電圧発生手段と、低電位基準電圧と高電位基準電圧が与えられ、両基準電圧の間の電圧範囲内において前記バイアス電圧付加手段の出力アナログ信号をデジタル化するA/D変換手段と、前記アナログ信号の理想平均電圧値と前記バイアス電圧の理想値とが与えられ、前記A/D変換手段の出力サンプル値の平均値から前記アナログ信号の理想平均電圧値と前記バイアス電圧の理想値とを減算してオフセット検出を行うオフセット検出手段と、前記バイアス電圧発生回路と前記バイアス電圧付加回路のいずれか一方に前記オフセット検出手段の出力を受けて、前記A/D変換手段の入力信号の平均電圧値が理想値となるようにそのバイアス電圧を補正する補正手段と、を備えて成ることを特徴とするA/D変換回路。

【請求項3】アナログ信号にバイアス電圧を付加するバイアス電圧付加手段と、低電位基準電圧と高電位基準電圧が与えられ、両基準電圧の間の電圧範囲内において前記バイアス電圧付加手段の出力アナログ信号をデジタル化するA/D変換手段と予め定めた数Nのサンプル値の累積和値を出力する手段と、前記累積和値を前記予め定めた数Nで割り算して平均値を求める手段と、前記平均値から、前記アナログ信号の理想平均電圧値と前記バイアス電圧の理想値とを減算してオフセット電圧値を検出する手段と、前記A/D変換器の出力データから前記オフセット検出回路の出力データを減算して出力する減算手段と、を備えて成ることを特徴とするA/D変換回路。

【請求項4】前記予め定めた数N以降のサンプル値について連続的に前記オフセット電圧値を用いて前記減算処理により補正することを特徴とする請求項3に記載のA/D変換回路。

【請求項5】前記予め定めた数N以降の予め定めた数のサンプル値について、前記オフセット電圧値を用いて前記減算処理により補正することを特徴とする請求項3に記載のA/D変換回路。

【請求項6】アナログ信号にバイアス電圧を付加するバ

2

ィアス電圧付加手段と、前記バイアス電圧を発生するバイアス電圧発生手段と、低電位基準電圧と高電位基準電圧が与えられ、両基準電圧の間の電圧範囲内において前記バイアス電圧付加手段の出力アナログ信号をデジタル化するA/D変換手段と、予め定めた数Nのサンプル値の累積和値を出力する手段と、前記累積和値を前記予め定めた数Nで割り算して平均値を求める手段と、前記平均値から、外部から与えられたアナログ信号の理想平均電圧値と前記バイアス電圧の理想値とを減算してオフセット電圧値を検出する手段と、前記バイアス電圧発生手段と前記バイアス電圧付加手段のいずれか一方に前記オフセット検出手段の出力を受けて前記A/D変換手段の入力信号の平均電圧値が理想値となるようにそのバイアス電圧を補正する手段と、を備えて成ることを特徴とするA/D変換回路。

【請求項7】アナログ信号にバイアス電圧を付加するバイアス電圧付加手段と、前記バイアス電圧を発生するバイアス電圧発生手段と、低電位基準電圧と高電位基準電圧が与えられ、両基準電圧の間の電圧範囲内において前記バイアス電圧付加手段の出力アナログ信号をデジタル化するA/D変換手段と、予め定めた数Nのサンプル値の累積和値を出力する手段と、前記累積和値を前記予め定めた数Nで割り算して平均値を求める手段と、前記平均値から、外部から与えられたアナログ信号の理想平均電圧値と前記バイアス電圧の理想値とを減算してオフセット電圧値を検出する手段と、前記得られたオフセット電圧値をアナログ信号に変換して前記バイアス電圧発生回路と前記バイアス電圧付加回路のいずれか一方に出力するD/A変換手段と、前記D/A変換手段の出力を受けて前記A/D変換器の入力信号の平均電圧値が理想値となるように前記バイアス電圧発生回路と前記バイアス電圧付加回路のいずれか一方のバイアス電圧を補正する手段と、を備えて成ることを特徴とするA/D変換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はA/D変換回路に関し、特に低電位基準電圧から高電位基準電圧までの範囲の電圧のアナログ信号をデジタルデータに変換するA/D変換器にバイアス電圧を付加したアナログ信号を入力するようにしたA/D変換回路に関する。

【0002】

【従来の技術】入力信号レベルを所定レベルだけバイアスして効率的なA/D変換を行う従来のA/D変換回路は、図9に示すように構成されている。図9において、アナログ信号入力端子1に印加されたアナログ信号は、バイアス電圧付加回路2に入力される。バイアス電圧付加回路2は、バイアス電圧発生回路3から入力するバイアス電圧をアナログ信号に付加してA/D変換器4に出力する。A/D変換器4は、高電位基準電圧入力端子5

50

と低電位基準電圧入力端子6とを備え、低電位基準電圧から高電位基準電圧までの範囲内における電圧のアナログ信号を量子化する構成になっていて、例えば量子化ビット数が8ならば、入力が低電位基準電圧に等しい場合、A/D変換器の出力端子に現れる出力は00Hとなり、入力が高電位基準電圧に等しい場合、出力はFFHとなる。

【0003】尚、A/D変換器4には、単一電源方式と2電源方式とがあるが、基準電圧と電源電圧との間には次のような条件がある。

負電源電圧 \leq 低電位基準電圧 \leq 高電位基準電圧 \leq 正電源電圧

従って、例えば+5Vの単電源で駆動するA/D変換器の場合、A/D変換器に入力すべきアナログ信号の最低電圧値は0(=負電源電圧=低電位基準電圧)でなければならない。アナログ信号が例えば0Vを中心として電圧が変化する信号である場合には、バイアス電圧付加回路2にてバイアス電圧を付加して、0Vから高電位基準電圧までの範囲で電圧が変化するようしてからA/D変換している。この場合、バイアス電圧として高電位基準電圧の2分の1の電圧を付加するならば、バイアス電圧付加回路に0Vが入力されたときのA/D変換器の出力は80Hとなる。

【0004】

【発明が解決しようとする課題】上述した従来のA/D変換回路では、A/D変換器の出力にオフセットが生じるとい問題がある。例えば、バイアス電圧を発生させる回路として基準電圧を分圧する回路が考えられるが、任意の抵抗比を設定することは部品のばらつきのために困難であり、可変抵抗を用いて任意の値に設定しても、経年変化や温度変化等のために任意の値からずれる。このように、バイアス電圧が経年変化、温度変化、部品精度等によって大きくずれることがあるからである。また、バイアス電圧を加える前のアナログ信号でも、アナログ信号を増幅する増幅器の特性によってアナログ信号にオフセットが生ずる場合があるからである。

【0005】本発明は、このような従来の問題に鑑みなされたもので、その目的は、A/D変換器の出力にオフセットが生ずるのを防止し得る手段を備えたA/D変換回路を提供することにある。

【0006】

【課題を解決するための手段】前述の課題を解決するため、本発明の第1の態様によるA/D変換回路は、アナログ信号にバイアス電圧を付加するバイアス電圧付加手段と、低電位基準電圧と高電位基準電圧が与えられ、両基準電圧の間の電圧範囲内において前記バイアス電圧付加手段の出力アナログ信号をデジタル化するA/D変換手段と前記アナログ信号の理想平均電圧値と前記バイアス電圧の理想値とが与えられ、前記A/D変換手段の出力サンプル値の平均値から前記アナログ信号の理想平均

電圧値と前記バイアス電圧の理想値とを減算してオフセット検出を行うオフセット検出手段と、前記A/D変換手段の出力データから前記オフセット検出回路の出力データを減算して出力する減算手段と、を備えて構成される。また、本発明の第2の態様によるA/D変換回路は、アナログ信号にバイアス電圧を付加するバイアス電圧付加手段と、前記バイアス電圧を発生するバイアス電圧発生手段と、低電位基準電圧と高電位基準電圧が与えられ、両基準電圧の間の電圧範囲内において前記バイアス電圧付加手段の出力アナログ信号をデジタル化するA/D変換手段と、前記アナログ信号の理想平均電圧値と前記バイアス電圧の理想値とが与えられ、前記A/D変換手段の出力サンプル値の平均値から前記アナログ信号の理想平均電圧値と前記バイアス電圧の理想値とを減算してオフセット検出を行うオフセット検出手段と、前記バイアス電圧発生回路と前記バイアス電圧付加回路のいずれか一方に前記オフセット検出回路の出力を受けて、前記A/D変換器の入力信号の平均電圧値が理想値となるようにそのバイアス電圧を補正する補正手段と、を備えて構成される。

【0007】

【作用】次に前記の如く構成される本発明のA/D変換回路の作用を説明する。本発明では、オフセット検出回路がA/D変換器の入力信号の平均電圧値の理想値に対するオフセットを検出する。そして、第1発明では、A/D変換器の出力データからオフセット検出回路の出力データを減算し、A/D変換器の出力データからアナログ信号及びバイアス電圧のオフセットを取り除き、A/D変換器の出力データを補正する。また、第2発明では、オフセット検出回路の出力によってバイアス電圧に一定の操作を施し、A/D変換器の入力信号の平均電圧値が理想値と等しくなるようにし、A/D変換器の出力にオフセットが生じないようにする。ここで、バイアス電圧に加える一定の操作とは、バイアス電圧を理想のバイアス電圧と等しくなるようにし、かつ、アナログ信号のオフセット電圧値をキャンセルするような補正をすることを意味する。斯くして、本発明によれば、正しいデジタルデータを得ることができる。

【0008】

【実施例】次に、本発明について図面を参照しながら説明する。図1は、本発明によるA/D変換回路の第1の実施例を示す構成ブロック図である。図9と同一構成部分には同一符号名称を付してある。本第1実施例では、減算器7とオフセット検出回路8とを追加してある。アナログ信号入力端子1に印加されるアナログ信号は平均電圧が既知のものであるが、前記した通りオフセットを生じている。この入力信号に関して、そのサンプル値の分布が正規分布をしている場合や一様分布をしている入力信号は、平均値をはさんで左右対称の分布をもつ。この種入力信号とし正弦波信号、MSK変調信号やQP

5

SK変調信号を直交復調したとき得られるアイパターン信号等がある。また、分布が左右対称でない信号としては、例えば、レーリーフェージング下の電界変動に対応する信号等がある。また、バイアス電圧発生回路3が発生するバイアス電圧にも誤差がある。従って、アナログ*

$$V_{A0} = V_{Av} + \Delta V + V_b + \Delta V_b$$

と表され、理想平均電圧値 V_{A0}' は、

$$V_{A0}' = V_{Av} + V_b$$

と表される。その結果、A/D変換器4の出力データにオフセットが生ずる。そこで、本第1の実施例では、A/D変換器4の出力データに生ずるオフセットを補正できるようにしてある。

【0009】即ち、オフセット検出回路8では、外部から端子9にバイアス電圧の理想値が、端子10にアナログ信号の理想平均電圧値が与えられるが、まずA/D変換器4の各出力サンプル値を用いてアナログ信号の平均電圧値を求める。これは前記式(1)で示されるものである。次いで、求めた平均電圧値からアナログ信号の理想平均電圧入力端子10に供給される理想平均電圧値とバイアス電圧入力端子9に供給される理想値バイアス電圧とを減算し、つまり、式(1)から式(2)を減算する操作をし、オフセット $(\Delta V + \Delta V_b)$ を検出する。そして、減算器7では、A/D変換器4の出力データからオフセット検出回路8の出力データを減算する。その結果、デジタルデータ出力端子11からは、アナログ信号のオフセット ΔV とバイアス電圧のオフセット ΔV_b の除去された正しいデジタルデータが出力される。

【0010】次に、図2を参照して具体的に説明する。図2は、 $\cos(2\pi ft)$ [V] で表される正弦波を $V_b = 1.5$ [V] (201)、 $\Delta V = 0.1$ [V] (202)、 $\Delta V_b = 0.2$ [V] (203)として4f [Hz] でサンプルする場合を示している。図2

(a)は、オフセットのないアナログ信号の原波形であり、 $t = T/4, 2T/4, 3T/4, T$ における電圧は、それぞれ0V (211)、-1V (212)、0V (213)、1V (214)である。図2(b)は、バイアス電圧付加回路2の入力信号波形であり、図2

(a)に示すアナログ信号に $\Delta V = 0.1$ [V] (202)のオフセット電圧が加わったアナログ信号の波形である。従って、 $t = T/4, 2T/4, 3T/4, T$ における電圧は、それぞれ0.1V (221)、-0.9V (222)、0.1V (223)、1.1V (224)である。次いで、図2(c)は、 $V_b + \Delta V_b = 1.5 + 0.2$ [V] のバイアス電圧を付加したA/D

変換器4への入力信号の波形である。 $t = T/4, 2T/4, 3T/4, T$ においてサンプル値1.8V (231)、0.8V (232)、1.8V (233)、2.8V (234)が得られる。そして、オフセット検出回路8においてサンプル値1.8V (231)、0.8V (232)、1.8V (233)、2.8V (234)

6

*信号の理想平均電圧値を V_{Av} 、アナログ信号のオフセット電圧値を ΔV 、バイアス電圧の理想値を V_b 、バイアス電圧の理想値との誤差を ΔV_b 。とすると、A/D変換器4の入力信号の実際の平均電圧値 V_{A0} は、

$$\dots (1)$$

$$\dots (2)$$

の平均1.8Vを求め、これから既知であるアナログ信号の理想平均電圧値0Vとバイアス電圧の理想値1.5Vを減算すると、オフセット $(\Delta V + \Delta V_b) = 0.3$ Vを検出することができる。以上の例では、アナログ信号の平均電圧値を求めるのに4つのサンプル値を用いたが、一般的にアナログ信号の平均電圧値を求めるのには十分な数のサンプル値を用いなければならない。

【0011】オフセット検出回路8と減算器7は、A/D変換器4からのサンプルデータを用いた図3に示す処理を行う演算回路で構成できる。図3において、SをK番目のサンプル値D(K)までの累積和値とすると、ステップS1において、初期値 $S = 0$ 、 $K = 0$ とおいた後、K番目のサンプル値D(K)を得(ステップS2)、累積和値Sを $S = S + D(K)$ として求める(ステップS3)。その後、サンプル番号Kが予め定めた数(N-1)と等しくなったか否かを判断し(ステップS4)、N-1に至っていない場合はKを1だけインクリメントし(ステップS5)、次のサンプル値についての処理S2以後の処理に戻る。ステップS4において、 $K = N - 1$ と判断されたならば、累積和値Sを累積したサンプル数Nで割り算して平均値 D_{A0} を求め(ステップS6)、オフセット電圧 D_{offset} を、平均値 D_{A0} から、予め端子9及び10に供給されている入力アナログ信号の理想平均電圧値及び理想バイアス電圧値との和 D'_{A0} を減算することにより求める(推定する)(ステップS7)。こうして真のオフセット電圧値が得られ、このオフセット電圧 D_{offset} を用いて、A/D変換器4からの出力デジタルデータを補正する。すなわち、上記オフセット電圧値算出に用いたサンプル値データを補正するため、これらサンプル値データをメモリに一時記憶しておき、 $K = 0$ 番目のサンプル値D(0)からN-1番目のサンプル値D(N-1)についてオフセット電圧値 D_{offset} の減算処理を行う。ステップS8において、初期値設定 $K = 0$ とした後、サンプル値D(K)から D_{offset} を減算して補正データD'(K)を求め(ステップS9)、補正データD'(K)を出力端子11に出力する(ステップS10)。そして、 $K = N - 1$ に至ったか否かを判断し(ステップS11)、N-1に至っていない場合はKを1だけインクリメントし(ステップS12)、ステップS9の処理に戻る。

【0012】ステップS11の処理終了により上記N個のサンプル値の補正を終了する。これ以降の(N+1)

50

7

番目のサンプル値の補正は、ステップS9とS10と同様の処理を施して行われる。以後の補正サンプル値の数に制限を与えないときの処理手順が図4に示されている。図4において、サンプル値 $D(K)$ を得(ステップS13)、 $D(K)$ からオフセット電圧値 D_{offset} を減算処理して補正データ値 $D'(K)$ を求め(ステップS14)、そのデータ $D'(K)$ を出力端子11に出力する(ステップS15)。その後、次のサンプル値に対して同様の処理を施すため K を1だけインクリメントして(ステップS16)、ステップS13の処理に戻る。

【0013】一方、図5には、図3に示すステップS11の処理終了後、予め定めた N' 個のサンプル値 $D(N+1)$ 、 $D(N+2)$ 、 \dots 、 $D(N+N')$ に対してのみ補正を行う場合の処理が示されている。ステップS21で、サンプル値 $D(K)$ を得(ステップS21)、この $D(K)$ からオフセット電圧値 D_{offset} を減算処理してデータ $D'(K)$ を求め(ステップS22)、この $D'(K)$ を出力端子11に供給した後、 K が $N'-1$ に至ったか否かを判断する(ステップS24)。ここで、 $N'-1$ に至っていないと判断されれば、 K を1だけインクリメントし(ステップS25)、ステップS21の処理に戻る。 K が $N'-1$ に等しければ処理を終了する。また、A/D変換器4にて得られたサンプル値を用いたオフセット検出及びA/D変換器の出力データの補正は、一旦メモリ等に蓄積した後に行うこともできることは言うまでもない。

【0014】次に、図6は、本発明の他の実施例に係わるA/D変換回路を示す。本第2実施例では、第1実施例における減算器7を省略し、オフセット検出回路8からのデジタル出力(D_{offset})をD/A変換器12でアナログ信号に変換してバイアス電圧付加回路2'に与え、A/D変換器4の入力信号の平均電圧が前記式(2)となるようにしたものである。即ち、バイアス電圧付加回路2'は、入力されたバイアス電圧について、それが理想的なバイアス電圧となるように、かつ、入力されたアナログ信号のオフセット電圧値をキャンセルするように補正する手段を設けてある。その結果、A/D変換器4からはオフセットのない正しいデジタルデータが出力されることになる。

【0015】尚、図7に示すようにオフセット検出回路8で得られたオフセット電圧 D_{offset} をD/A変換器13でアナログ信号に変換して、バイアス電圧発生回路3に供給し、バイアス電圧発生回路3がバイアス電圧を予め補正するようにしても良い。この場合には、図3におけるオフセット電圧値 D_{offset} を求めるS1～S6までの処理手順を用いることができることは勿論である。バイアス電圧付加回路2は、例えば図8のように、オペアンプ14を用いて構成する。図8において、入力端子1からのアナログ信号は抵抗 $R1$ を介してオペアンプ14の非反転入力端子に供給され、バイアス電圧発生回路3

8

から発生されるバイアス電圧が抵抗 $R2$ を介して加算されている。オペアンプ14の反転入力端子は抵抗 $R3$ を介して接地されるとともに、出力端子との間に帰還抵抗 $R4$ が接続されている。オペアンプの電源として+15Vと-15Vの2電源が用いられている。

【0016】

【発明の効果】以上説明したように、第1発明のA/D変換回路によれば、低電位基準電圧から高電位基準電圧までの範囲の電圧のアナログ信号をデジタルデータに変換するA/D変換器の入力信号に付加するバイアス電圧の理想値に対するオフセット、及びアナログ信号の平均電圧値の理想値に対するオフセットを検出し、A/D変換器の出力データを補正するようにし、また第2発明のA/D変換回路によれば、低電位基準電圧から高電位基準電圧までの範囲の電圧のアナログ信号をデジタルデータに変換するA/D変換器の入力信号に付加するバイアス電圧の理想値に対するオフセット、及びアナログ信号の平均電圧値の理想値に対するオフセットを検出し、バイアス電圧を補正しA/D変換器の入力信号の平均電圧値が理想値となるようにしたので、正しいデジタルデータを得ることができる、という効果がある。

【図面の簡単な説明】

【図1】本発明によるA/D変換回路の一実施例を示す構成ブロック図である。

【図2】図1の実施例におけるオフセット検出回路の動作を説明するための図である。

【図3】図1の実施例におけるオフセット検出回路8及び減算器7の動作処理手順を示すフローチャートである。

【図4】図1の実施例におけるオフセット検出回路8及び減算器7の動作処理手順を示し、オフセット電圧値を求めるのに用いたサンプル値以降に入力されるサンプル値を個数の限定なく補正処理するフローチャートである。

【図5】図1の実施例におけるオフセット検出回路8及び減算器7の動作処理手順を示し、オフセット電圧値を求めるのに用いたサンプル値以降に入力されるサンプル値を、予め定めた個数 N' だけ補正処理するフローチャートである。

【図6】本発明によるA/D変換回路の他の実施例を示す構成ブロック図である。

【図7】本発明によるA/D変換回路の更に他の実施例を示す構成ブロック図である。

【図8】図1の実施例におけるバイアス電圧付加回路の構成例を示すブロック図である。

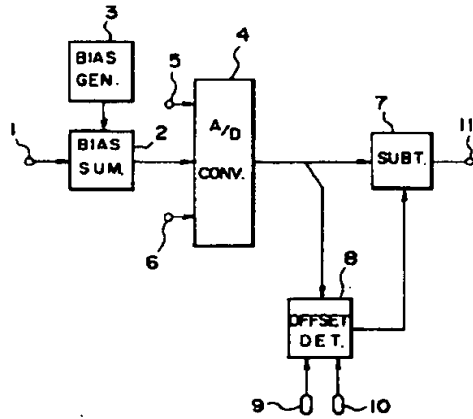
【図9】従来のA/D変換回路の構成ブロック図である。

【符号の説明】

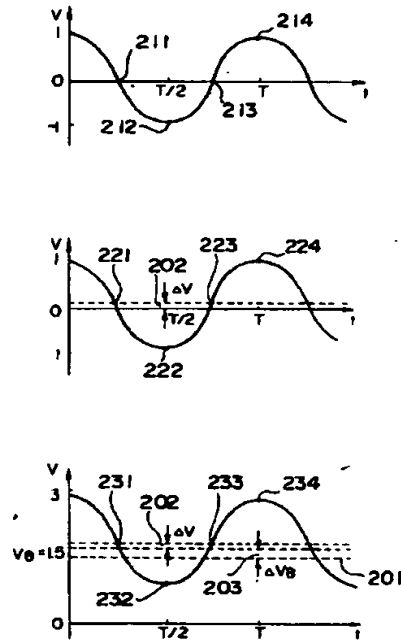
1 入力端子
2, 2' バイアス電圧付加回路

3	バイアス電圧発生回路	4	A/	* 9	バイアス電圧理想値入力端子
D変換器				10	アナログ信号理想平均電圧値入力端子
5	高電位基準電圧入力端子	6	低電	11	デジタルデータ出力端子
位基準電圧入力端子				12, 13	D/A変換器
7	減算器	8	オフ	14	オペアンプ
セット検出回路			*		

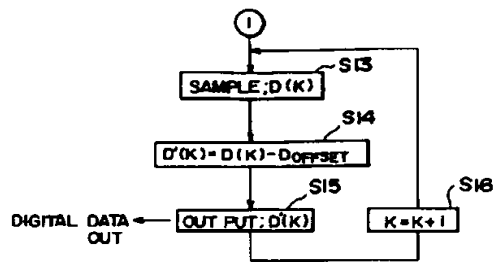
【図1】



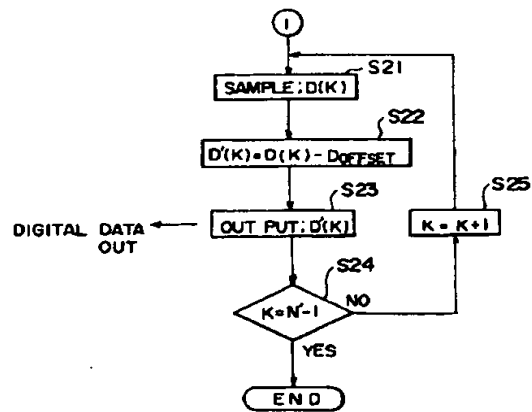
【図2】



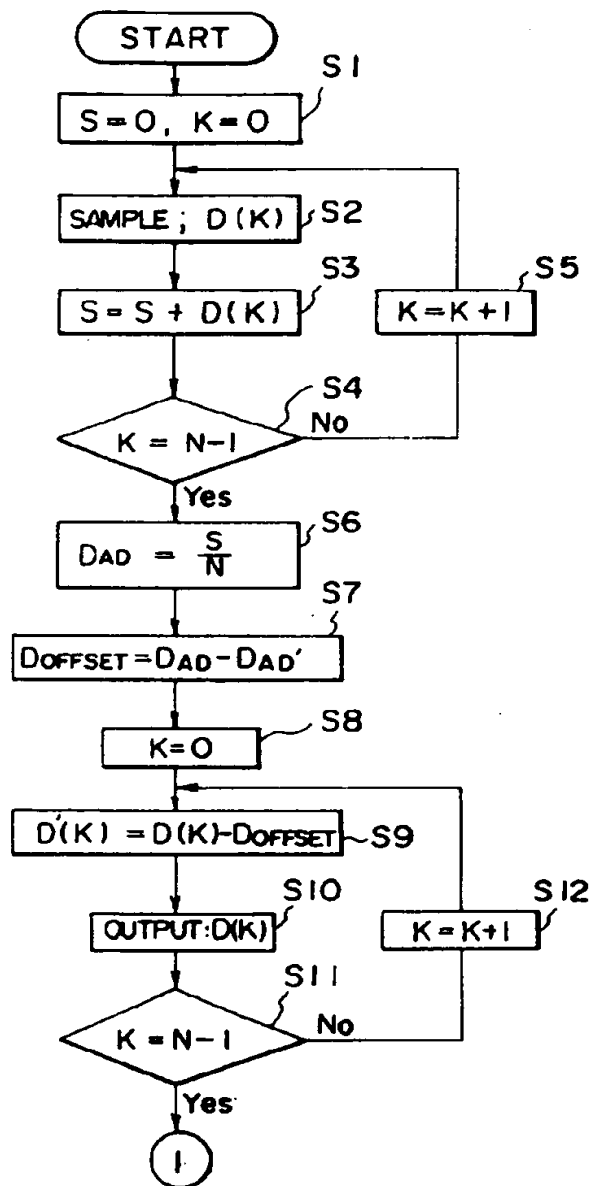
【図4】



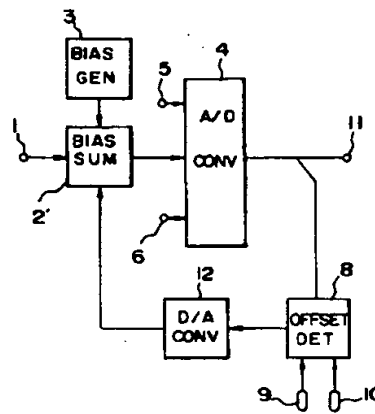
【図5】



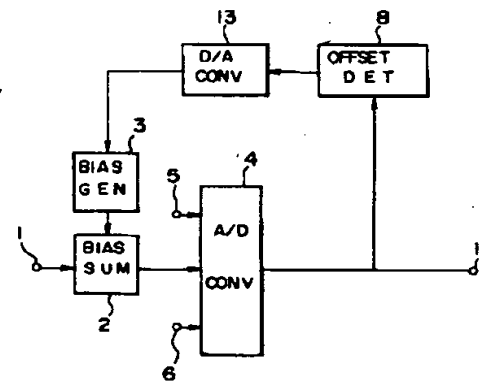
【図3】



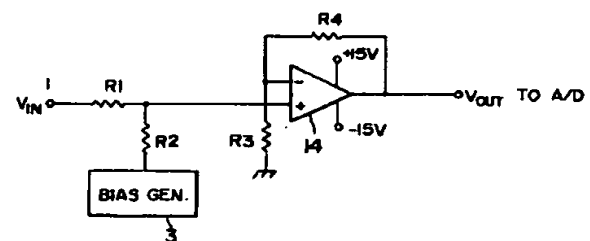
【図6】



【図7】

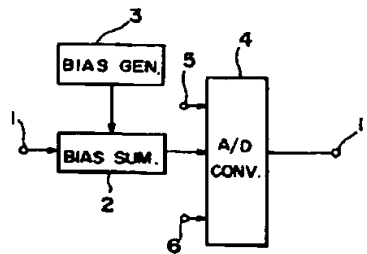


【図8】



【図9】

PRIOR ART



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-007154

(43)Date of publication of application : 14.01.1993

(51)Int.Cl.

H03M 1/10

(21)Application number : 03-314025

(71)Applicant : NEC CORP

(22)Date of filing : 30.10.1991

(72)Inventor : MUTO HIROYASU

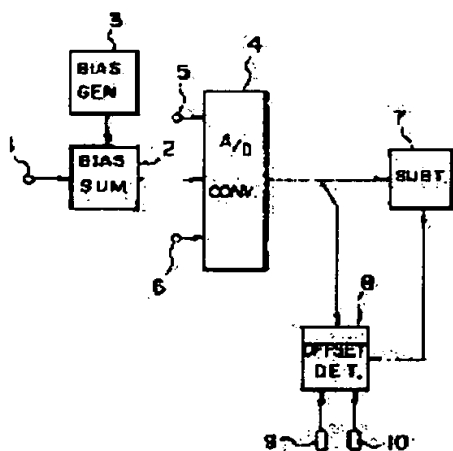
(30)Priority

Priority number : 02297620

Priority date : 02.11.1990

Priority country : JP

(54) A/D CONVERTER CIRCUIT



(57)Abstract:

PURPOSE: To eliminate an output offset of the A/D converter.

CONSTITUTION: An offset detection circuit 8 detects an offset with respect to an ideal average voltage of an analog signal and an offset of a bias voltage with respect to an ideal value added to an input signal of an A/D converter 4 converting an analog signal with a voltage in a range from a low reference voltage till a high reference voltage into a digital data and a subtractor 7 subtracts the offset from the output data of the D/A converter 4 to make correction. function the bias voltage is corrected by the offset so that an average voltage of the input signal of the A/D converter 4 is an ideal value.

LEGAL STATUS

[Date of request for examination]

27.10.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other
than the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 2924373

[Date of registration] 07.05.1999

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office